

Publication No. JP2003-84718

Date of Publication: March 19, 2003

Application No. 2001-273818

Date of filing: September 10, 2001

Applicant: Toshiba Corp.

Inventor: Hisao Fujiwara

[Title of the Invention] Liquid Crystal Display Element

[Summary]

The invention is a display device with a power saving mode.

The device is configured so as to stabilize the display quality in the power saving mode, and to have a simple structure. A liquid crystal element is provided with a liquid crystal display pixel PX of which a liquid crystal material is held between electrodes PE and CE, a dynamic memory circuit DM including a switching element Qsig and a capacitive element CM, an electrode drive circuit DV for applying pixel potentials corresponding to display signals held in the circuit DM to the electrode PE, and polarity control circuit PCV for reversing periodically the polarity of the pixel potentials for the common potential of the electrode CE. The circuit DV includes complementary thin film transistors Q2 and Q4 whose one ends are respectively connected to the electrode PE and are respectively controlled by the potential between terminals of the capacitive element CM. The circuit PC is configured so as to alternatively switch a state that one end of the capacitive element CM and the other end of the transistor Q4 are connected electrically to a power supply terminal Gnd, and a state that one end of the capacitive element CM and the other end of the transistor Q2 are connected electrically to a power supply terminal Vdd. (See Abstract)

In paragraph [0003] describes as follows:

[0003] Recently, a static memory technique is applied to the reduction of power consumption of a liquid crystal display. In case of this application, for example, at displaying a static image that does not need an update of a display signal, the power saving mode is set and a static memory circuit holds the display signal supplied from an external driver circuit and applies the electricity to a display pixel. Thus, even when an output of the external driver circuit is stopped, the image can be continuously displayed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-84718

(P2003-84718A)

(43) 公開日 平成15年3月19日 (2003.3.19)

(51) Int.Cl.	識別記号	F I	特許出願公開番号
G 0 9 G 3/36		C 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	2 H 0 9 3
1/1368		1/1368	5 C 0 0 6
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	5 C 0 8 0
9/35		9/35	5 C 0 9 4

審査請求 未請求 請求項の数 5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2001-273818(P2001-273818)

(22) 出願日 平成13年9月10日 (2001.9.10)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 藤原 久男

埼玉県深谷市幡経町一丁目9番地2 株式

会社東芝深谷工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

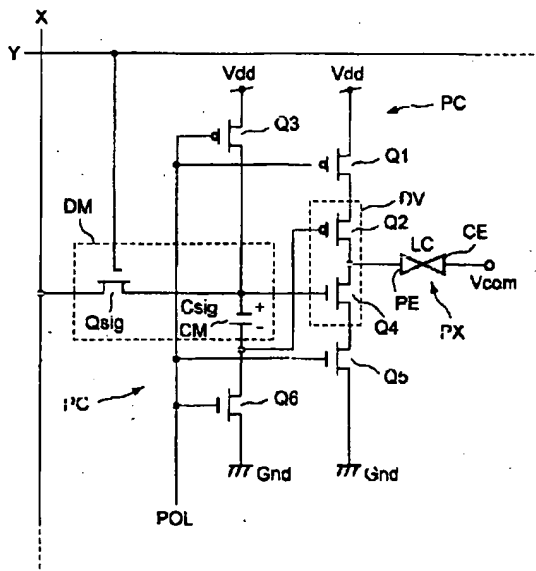
最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【要約】

【課題】低消費電力で表示品質を安定化する一方で回路構造を簡素化する。

【解決手段】液晶表示素子は液晶材料が電極PE、CE間に挟持される液晶表示画素PXと、スイッチ素子Qsigおよび容量素子CMを含むダイナミックメモリ回路DMと、回路DMに保持された表示信号に対応する画素電位を電極PEに印加する電極駆動回路DVと、電極CEのコモン電位に対して画素電位を周期的に極性反転させる極性制御回路PCとを備える。回路DVは一端において電極PEに接続され容量素子CMの一端および他端の電位によりそれぞれ制御される相補的な薄膜トランジスタQ2、Q4を含み、回路PCは容量素子CMの一端および薄膜トランジスタQ4の他端が電源端子Gndに電気的に接続される状態および容量素子CMの他端および薄膜トランジスタQ2の他端が電源端子Vddに電気的に接続される状態を交互に設定するように構成される。



【特許請求の範囲】

【請求項1】 画素電極及び対向電極との電位差で液晶材料を制御する液晶表示画素と、外部から供給される表示信号をサンプリングするスイッチ素子およびこのスイッチ素子でサンプリングされた表示信号を保持する容量素子を含むメモリ回路と、前記メモリ回路に保持された表示信号に対応する画素電位を前記画素電極に印加する電極駆動回路と、前記対向電極に印加されるコモン電位に対して前記画素電位を周期的に極性反転させる極性制御回路とを備え、前記電極駆動回路は一端において前記画素電極に接続され前記容量素子の一端および他端の電位によりそれぞれ制御される相補的な第1および第2能動素子を含み、前記極性制御回路は前記容量素子の一端および前記第2能動素子の他端が第1電源端子に電気的に接続される状態および前記容量素子の他端および前記第1能動素子の他端が第2電源端子よりも高い電位に設定される第2電源端子に電気的に接続される状態を交互に設定するように構成されることを特徴とする液晶表示素子。

【請求項2】 前記第1および第2能動素子は一端において前記画素電極に接続されるPチャネルおよびNチャネル薄膜トランジスタによりそれぞれ構成されることを特徴とする請求項1に記載の液晶表示素子。

【請求項3】 前記表示信号は前記第1および第2能動素子の薄膜トランジスタの閾値電圧よりも大きく前記第1および第2電源端子間の電源電圧よりも小さな振幅を持つことを特徴とする請求項2に記載の液晶表示素子。

【請求項4】 前記極性制御回路は前記第1電源端子および前記容量素子の一端間に接続されるNチャネル薄膜トランジスタ、前記第1電源端子および前記第2能動素子のNチャネル薄膜トランジスタの他端間に接続されるNチャネル薄膜トランジスタ、前記第2電源端子および前記容量素子の他端間に接続されるPチャネル薄膜トランジスタ、並びに前記第2電源端子および前記第1能動素子のPチャネル薄膜トランジスタの他端間に接続されるPチャネル薄膜トランジスタを含むことを特徴とする請求項3に記載の液晶表示素子。

【請求項5】 前記スイッチ素子はポリシリコン薄膜トランジスタで構成され、前記駆動回路および極性制御回路の薄膜トランジスタは前記スイッチ素子と一緒に形成されるポリシリコン薄膜トランジスタであることを特徴とする請求項4に記載の液晶表示素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示画素の駆動極性が周期的に反転される液晶表示素子に関し、特に表示画素に供給される表示信号を保持するメモリ回路を備える液晶表示素子に関する。

【0002】

【従来の技術】 液晶表示装置は薄型、小型、軽量という

特徴から携帯電話やPDA (Portable Digital Assistance) のような携帯用端末機器の画像モニタとして広く利用されている。こうした携帯用端末機器は一般に充電電池を電源として動作するため、電池の消耗率が利用可能時間に大きく影響する。このような理由により、液晶表示装置の低消費電力化が盛んに研究されている。

【0003】 最近では、スタティックメモリ技術が液晶装置を低消費電力化するために用いられている。この用途では、例えば表示信号の更新を必要としない静止画像を表示する場合に、低消費電力モードが設定され、スタティックメモリ回路が外部駆動回路から供給される表示信号を保持して表示画素に印加する。これにより、外部駆動回路の出力動作を停止させても画像表示を継続することが可能になる。

【0004】 このスタティックメモリ技術を用いた従来の液晶表示装置では、図7に示すようなスタティックメモリ回路MRが表示画面を構成する複数の表示画素PXの各々に対して設けられる。表示画素PXは一对の画素電極PEおよび対向電極CEとこれらの間に挟持される液晶材料を含み、表示信号は対向電極CEに設定されるコモン電位Vcomに対して逆極性となるよう例えば1フレーム毎に極性反転させて信号線Xに供給される。画素電極PEはこの信号線X上の表示信号を選択的に出力する画素スイッチQsigに接続される。対向電極CEは、例えば画素電極PEに容量結合する補助容量線Csに接続され、この補助容量線Csの電位Vcsをコモン電位Vcomに等しい値に設定する。画素電極PEおよび対向電極CEは液晶材料を介して液晶容量LCを構成し、画素電極PEおよび補助容量線Csは液晶材料を介さず液晶容量に並列的な補助容量Csigを構成する。画素スイッチQsigは例えば薄膜トランジスタにより構成され、走査線Yからの走査信号によって駆動されたときに信号線X上の表示信号を表示画素PXに印加する。このとき、表示画素PXは対向電極CEと画素電極PE間の電位差に対応する光透過率に設定される。補助容量Csigは液晶容量LCに比べて十分大きな容量値を有し、表示画素PXに印加された表示信号により充放電される。補助容量Csigがこの充放電により表示信号を保持すると、この表示信号は画素スイッチQsigが非導通となったときに補助容量Csigから画素電極PEに印加される。これにより、画素電極および対向電極間の電位差が維持される。

【0005】 さらに、表示画素PXは極性制御回路PCを介してスタティックメモリ回路MRに接続される。スタティックメモリ回路MRは走査線Yからの走査信号の立ち上がりに伴って信号線Xから画素スイッチQsigを介して表示画素PXに印加される表示信号を保持し、この走査信号の立ち下がりに伴って自身で保持した表示信号を表示画素PXに印加する。ここで、極性制御回路PCはスタティックメモリ回路MRから表示画素PXに印

加される表示信号が1フレーム毎にレベル反転されコモン電位 V_{com} に対して逆極性となるように制御する。従って、外部駆動回路の出力動作を停止させても、画素電極および対向電極間の電位差が1フレーム毎に極性反転されるため、液晶材料の偏在化による焼き付き現象を防止できる。

【0006】

【発明が解決しようとする課題】ところで、上述の液晶表示装置では、低消費電力モードにおいてスタティックメモリ回路MRから表示画素PXに印加される表示信号を極性反転する際に液晶容量LCおよび補助容量 C_{sig} の充放電電流が一時的に一对の電源端子 V_{dd} 、 G_{nd} の一方からまたは他方へ流れ、これにより電源端子 V_{dd} 、 G_{nd} 間の電圧を変動させる。この電源変動はスタティックメモリ回路MRの動作を不安定にする。さらに、この電源変動が大きい場合には、スタティックメモリ回路MRの保持内容が変化して表示画像の乱れを招く。また、この液晶表示装置はスタティックメモリ回路MRおよび極性制御回路PCを構成するために少なくとも7個の能動素子、すなわち薄膜トランジスタ $Q1' \sim Q7'$ を必要とする。さらに、極性制御信号POL-A、POL-Bの配線領域も必要となるため、効率的な低消費電力化および表示画面の高精細化が制約されている。

【0007】本発明の目的は、上述のような問題を解消し、低消費電力で表示品質を安定化する一方で回路構造を簡素化できる液晶表示素子を提供することにある。

【0008】

【課題を解決するための手段】本発明によれば、画素電極及び対向電極との電位差で液晶材料を制御する液晶表示画素と、外部から供給される表示信号をサンプリングするスイッチ素子およびこのスイッチ素子でサンプリングされた表示信号を保持する容量素子を含むメモリ回路と、前記メモリ回路に保持された表示信号に対応する画素電位を前記画素電極に印加する電極駆動回路と、前記対向電極に印加されるコモン電位に対して前記画素電位を周期的に極性反転させる極性制御回路とを備え、前記電極駆動回路は一端において前記画素電極に接続され前記容量素子の一端および他端の電位によりそれぞれ制御される相補的な第1および第2能動素子を含み、前記極性制御回路は前記容量素子の一端および前記第2能動素子の他端が第1電源端子に電気的に接続される状態および前記容量素子の他端および前記第1能動素子の他端が第1電源端子よりも高い電位に設定される第2電源端子に電気的に接続される状態を交互に設定するように構成される液晶表示素子が提供される。

【0009】この液晶表示素子では、第1電源端子の電位および第2電源端子の電位が交互に画素電位の極性反転に伴って表示画素PEに周期的に交互に印加され、液晶容量LCへの印加極性反転が行われる。この動作は表

示信号のサンプリング周期とは独立に設定できるため、表示信号が変化しないような場合には、周辺回路の動作を停止させ低消費電力化が達成でき、更に表示信号のサンプリング周期として一般的な1/60秒よりもこの動作の周期を長くすることにより一層の低消費電力化を達成することが可能となる。また、この液晶表示素子はスタティックメモリ回路で生じるような電源変動を招かないだけでなく、このスタティックメモリ回路を設ける場合のように多くの回路コンポーネントおよび制御信号を必要としない。すなわち、表示品質を安定化する一方で回路構造を簡素化できる。

【0010】

【発明の実施の形態】以下、本発明の一実施形態に係る液晶表示装置について添付図面を参照して説明する。この液晶表示装置は動画を表示可能な通常モードの他に例えば静止画を表示可能な低消費電力モードを持つ携帯端末機器の画像モニタとして用いられる。

【0011】図1はこの液晶表示装置の概略的な構造を示し、図2はこの液晶表示装置の画素周辺回路を示す。この液晶表示装置は液晶表示パネル1およびこの液晶表示パネル1を制御する液晶コントローラ2を備える。液晶表示パネル1は液晶層LQがアレイ基板ARおよび対向基板CT間に保持される構造を有し、液晶コントローラ2は液晶表示パネル1から独立した外部駆動回路基板上に配置される。アレイ基板ARは、マトリクス状に配置される複数の画素電極PE、複数の画素電極PEの行に沿って形成される複数の走査線Y($Y1 \sim Ym$)、複数の画素電極PEの列に沿って形成される複数の信号線X($X1 \sim Xn$)、信号線 $X1 \sim Xn$ および走査線 $Y1 \sim Ym$ の交差位置近傍にそれぞれ配置され各々対応走査線Yからの走査信号にตอบสนองして対応信号線Xからの画素表示信号 V_{pix} をサンプリングするスイッチ素子を構成する複数のNチャネル低温ポリシリコン薄膜トランジスタ(TFT)Qsig、走査線 $Y1 \sim Ym$ を駆動する走査線駆動回路3、並びに信号線 $X1 \sim Xn$ を駆動する信号線駆動回路4を含む。対向基板CTは複数の画素電極PEに対向して配置されコモン電位 V_{com} に設定される単一の対向電極CEを含む。走査線駆動回路3および信号線駆動回路4は薄膜トランジスタQsigと同様にアレイ基板AR上に形成される複数の低温ポリシリコン薄膜トランジスタで構成される。対向電極CEは外部から供給されるコモン電位 V_{com} に設定される。

【0012】液晶コントローラ2は外部から供給されるデジタル映像信号および同期信号を受取り、従来と同様に画素表示信号 V_{pix} 、垂直走査制御信号YCT、水平走査制御信号XCT、および極性反転信号POLを発生する。垂直走査制御信号YCTは例えば垂直スタートパルスおよび垂直クロック信号等を含み、走査線駆動回路3に供給される。水平走査制御信号XCTは水平スタートパルス、水平クロック信号等を含み、表示信号 V_{pix}

と共に信号線駆動回路4に供給される。極性反転信号POLはアレイ基板AR上に配置される複数の画素電極PEに対して発生され、例えば通常モードでは1フレーム期間で極性反転され、低消費電力モードではより低消費電力化を達成するために通常モードよりも長い所定期間、例えば4フレーム期間毎にレベル反転される。コモン電位Vcomはこの極性反転信号POLに同期して0Vおよび5Vの一方から他方にレベル反転される。これによりコモン電位Vcomが0V~5Vの振幅を持つものに対し、画素表示信号Vpixは0V~3Vの振幅を持つ。

【0013】走査線駆動回路3はシフトレジスタ回路を含み、薄膜トランジスタQsigを導通させる走査信号を1垂直走査(フレーム)期間毎に走査線Y1~Ymに順次供給するよう垂直走査制御信号YCTによって制御される。シフトレジスタ回路は1垂直走査期間毎に供給される垂直スタートパルスを垂直クロック信号に同期してシフトさせることにより複数の走査線Y1~Ymのうちの1本を選択して選択走査線に走査信号を出力する。

【0014】信号線駆動回路4はシフトレジスタ回路を有し、各走査線Yが走査信号により駆動される1水平走査期間(1H)において表示信号Vpixを信号線X1~Xnにそれぞれ供給するように水平走査制御信号XCTによって制御される。シフトレジスタ回路は1水平走査期間毎に供給される水平スタートパルスを水平クロック信号に同期してシフトさせることにより複数の信号線X1~Xnの1本を選択し、選択信号線に対して表示信号Vpixを供給する。

【0015】この液晶表示装置では、液晶層LQが対向電極CEに設定される0Vのコモン電位Vcomに対して表示信号Vpixに依存する5Vの画素電位を画素電極PEに印加することにより黒表示を行うノーマリホワイトであり、画素電極PEおよび対向電極CE間の電圧極性が周期的に反転される反転駆動形式で駆動される。表示画面DSは各々対の画素電極PEおよび対向電極CE、並びにこれら電極PE、CE間に挟持された液晶層LQの液晶材料を含む複数の表示画素PXにより構成され、ダイナミックメモリ回路DMがこれら表示画素PXの各々に対して設けられる。

【0016】図2に示すように、ダイナミックメモリ回路DMはこの信号線X上の表示信号Vpixを画素スイッチとしてサンプリングする薄膜トランジスタQsigおよびこの薄膜トランジスタQsigによってサンプリングされた表示信号Vsigを保持する容量素子CMにより構成される。この容量素子CMは液晶材料を挟持する画素電極PEおよび対向電極CE間の液晶容量LCの1/10以下程度に設定される。各表示画素PXはこのダイナミックメモリ回路DMに加えてPチャネル低温ポリシリコン薄膜トランジスタQ1~Q3およびNチャネル低温ポリシリコン薄膜トランジスタQ4~Q6を有する。

【0017】薄膜トランジスタQ1およびQ2は5Vの

電位に設定される電源端子Vddおよび画素電極PE間において直列に接続され、薄膜トランジスタQ4およびQ5は0Vの電位に設定される電源端子Gndおよび画素電極PE間において直列に接続される。薄膜トランジスタQ2およびQ4はそれぞれ容量素子CMのマイナス端電位および容量素子CMのプラス端電位によりそれぞれ制御される。薄膜トランジスタQ3は電源端子Vddおよび容量素子CMのプラス端間に接続され、薄膜トランジスタQ6は電源端子Gndおよび容量素子CMのマイナス端間に接続される。薄膜トランジスタQ1、Q3、Q5、およびQ6のゲートは極性反転信号POLを受け取るように接続される。薄膜トランジスタQsigは信号線Xおよび容量素子CMのプラス端間に接続され、走査線Yの電位により制御される。薄膜トランジスタQ2およびQ4はダイナミックメモリ回路DMに保持された表示信号Vpixに対応する画素電位を画素電極に印加する電極駆動回路DVを構成し、薄膜トランジスタQ1、Q3、Q5、およびQ6は対向電極CEに印加されるコモン電位Vcomに対して画素電位を周期的に極性反転させる極性制御回路PCを構成する。

【0018】薄膜トランジスタQsigが走査線Yからの走査信号によって駆動されたときに導通すると、信号線X上の表示信号Vpixが容量素子CMのプラス端に印加され、容量素子CMを充放電する。走査信号の供給が1水平走査期間後に停止すると、薄膜トランジスタQsigが非導通となり、容量素子CMが充放電結果として得られた電荷量を表示信号Vpixとして保持する。電極駆動回路DVは容量素子CMに保持された表示信号Vpixに対応する画素電位を画素電極PEに印加する。このとき、表示画素PXは対向電極CEと画素電極PE間の電位差に対応する光透過率に設定される。極性制御回路PCは極性反転信号POLに同期して対向電極CEのコモン電位Vcomに対して逆極性となるように画素電位の極性を反転させる。

【0019】すなわち、画素電極PEおよび対向電極CE間の電圧差を維持したまま極性を反転することにより液晶材料の偏在化による焼き付き現象を防止する。

【0020】表示信号Vpixの更新を必要としない静止画像を表示する場合には、液晶コントローラ2が通常モードから低消費電力モードになり、走査信号の出力を停止するよう走査線駆動回路3を制御すると共に、表示信号Vpixの出力を停止するよう信号線駆動回路4を制御する。極性反転信号POLについては、液晶材料の偏在化による焼き付き現象を防止するために低消費電力モードでも継続的に液晶コントローラ2から出力される。

【0021】ここで、ダイナミックメモリ回路DM、電極駆動回路DV、および極性制御回路PCの動作をさらに詳細に説明する。ここでは、容量素子CMが薄膜トランジスタQsigによってサンプリングされた表示信号Vpixに対応する量の電荷を既に保持しているとする。

【0022】図3は図2に示す画素周辺回路が極性反転信号POLの立ち上がりに伴って設定される状態を示す。極性反転信号POLが高レベルになると、極性制御回路PCの薄膜トランジスタQ5、Q6が導通すると共に極性制御回路PCの薄膜トランジスタQ1、Q3が非導通となる。電極駆動回路DVの薄膜トランジスタQ2は電極薄膜トランジスタQ6を介して容量素子CMのマイナス端に設定される電源端子Gndの電位によって導通するが、薄膜トランジスタQ1が非導通であるため、画素電極PEは電源端子Vddから電気的に切り離された状態に維持される。この間、電極駆動回路DVの薄膜トランジスタQ4は表示信号Vsigによって充放電される容量素子CMのプラス端電位により制御される。

【0023】画素周辺回路はこのような状態において図4に示す等価回路となる。薄膜トランジスタQ4は表示信号Vsigが薄膜トランジスタQ4の閾値電圧（ $\approx 1.5V$ ）以上である場合に導通する。これにより、電源端子Gndおよび対向電極CE間の電圧が表示画素PXに印加される。また、薄膜トランジスタQ4は表示信号Vsigが薄膜トランジスタQ4の閾値電圧未満である場合に非導通となる。この場合、電源端子Gndおよび対向電極CE間の電圧はほとんど薄膜トランジスタQ4に印加され、表示画素PXに印加されない。

【0024】図5は図2に示す画素周辺回路が極性反転信号POLの下がりに伴って設定される状態を示す。極性反転信号POLが低レベルになると、極性制御回路PCの薄膜トランジスタQ1、Q3が導通すると共に極性制御回路PCの薄膜トランジスタQ5、Q6が非導通となる。電極駆動回路DVの薄膜トランジスタQ4は電極薄膜トランジスタQ3を介して容量素子CMのプラス端に設定される電源端子Vddの電位によって導通するが、薄膜トランジスタQ5が非導通であるため、画素電極PEは電源端子Gndから電気的に切り離された状態に維持される。この間、電極駆動回路DVの薄膜トランジスタQ2は表示信号Vsigによって充放電される容量素子CMのマイナス端電位により制御される。

【0025】画素周辺回路はこのような状態において図6に示す等価回路となる。薄膜トランジスタQ2は表示信号Vsigが薄膜トランジスタQ2の閾値電圧（ $\approx 1.5V$ ）よりも電圧の絶対値が大きい場合、つまり薄膜トランジスタQ2のゲートに印加される電圧がVdd-1.5V以下である場合に導通する。これにより、電源端子Vddおよび対向電極CE間の電圧が表示画素PXに印加される。また、薄膜トランジスタQ2は表示信号Vsigの絶対値が薄膜トランジスタQ2の閾値電圧の絶対値未満である場合に非導通となる。この場合、電源端子Vddおよび対向電極CE間の電圧はほとんど薄膜トランジスタQ2に印加され、表示画素PXに印加されない。

【0026】容量素子CMが薄膜トランジスタQ2およ

びQ4の各々を導通し得る電荷量を保持していれば、共通電位Vcomを基準とした電圧+（Vdd-Vcom）および-（Vcom-gnd）が極性反転信号POLの反転に伴って交互に表示画素PXに印加されることになる。

【0027】上述の実施形態の液晶表示装置では、電源端子Gndの電位および電源端子Vddの電位が交互に極性反転信号POLの反転に伴って容量素子CMの一端および他端に印加され、表示信号Vpixのサンプリング周期とは独立の周期に設定できるため、表示信号Vpixが変化しないような場合にこの極性反転信号POLによる極性反転動作の周期を長くして消費電力を低減することが可能である。また、この液晶表示装置は図7に示すスタティックメモリ回路MRで生じようとする電源変動を招かないだけでなく、このスタティックメモリ回路MRを設ける場合に必要とされる7個の薄膜トランジスタQ1'~Q7'および2個の制御信号POL-A、POL-Bを6個の薄膜トランジスタQ1~Q6および1個の制御信号POLに置き換えることができる。すなわち、表示品質を安定化する一方で回路構造を簡素化できる。さらに、容量素子CMへ書き込む信号はQ1~Q6の薄膜トランジスタが導通する電圧以上であれば良く、大振幅を必要としないため、この表示信号Vpixの供給源となる信号線駆動回路4の電源電圧を低減することもできる。

【0028】ちなみに、図7に示す画素電極PEは補助容量Csigにより直接的に駆動されるが、本実施形態の画素電極PEは駆動回路DVにより駆動される。容量素子CMはこの駆動回路DVの薄膜トランジスタQ2、Q4に接続されるだけで画素電極PEを直接的に駆動しない。これら薄膜トランジスタQ2、Q4のゲート抵抗値は表示画素PXの比抵抗の10~100倍であるため、容量素子CMに蓄積した電荷の保持期間もこれに比例して増大する。すなわち、ダイナミックメモリ回路DMの書換え周期は容量素子CMの値を従来の補助容量Csig程度にすることにより表示信号Vpixのサンプリング周期として一般的な1/60秒よりも長い例えば1/6秒以上にすることができる。

【0029】

【発明の効果】以上のように本発明によれば、低消費電力で表示品質を安定化する一方で回路構造を簡素化できる液晶表示素子を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る液晶表示装置の概略的な構造を示す図である。

【図2】図1に示す液晶表示装置の画素周辺回路を示す回路図である。

【図3】図2に示す画素周辺回路が極性反転信号の立ち上がりに伴って設定される状態を示す図である。

【図4】図3に示す状態に設定された画素周辺回路の等

価回路を示す図である。

【図5】図2に示す画素周辺回路が極性反転信号の立ち下がりによって設定される状態を示す図である。

【図6】図5に示す状態に設定された画素周辺回路の等価回路を示す図である。

【図7】スタティックメモリ技術を用いた従来の液晶表示装置の画素周辺回路を示す回路図である。

【符号の説明】

PX…液晶表示画素

Qsig…画素スイッチ用薄膜トランジスタ

CM…容量素子

DM…ダイナミックメモリ回路

PC…極性制御回路

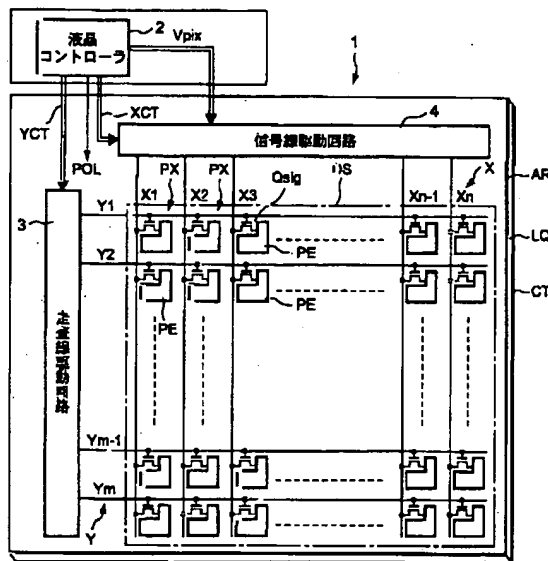
DV…電極駆動回路

PE…画素電極

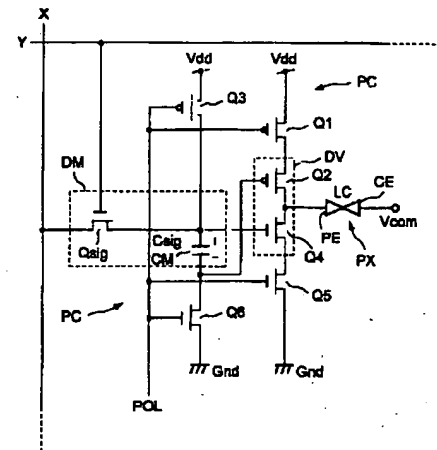
CE…対向電極

Vdd, Gnd…電源端子

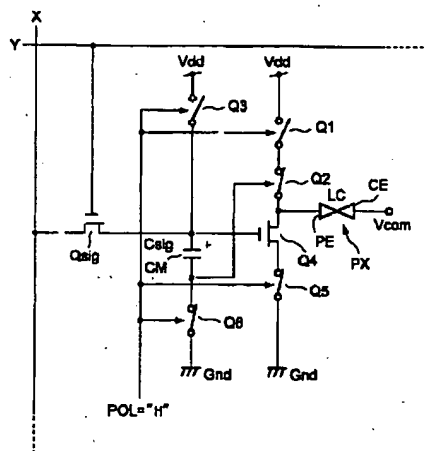
【図1】



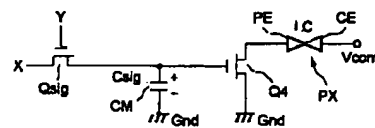
【図2】



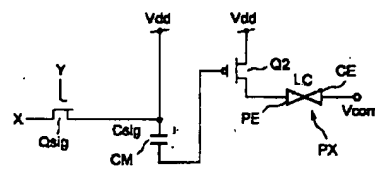
【図3】



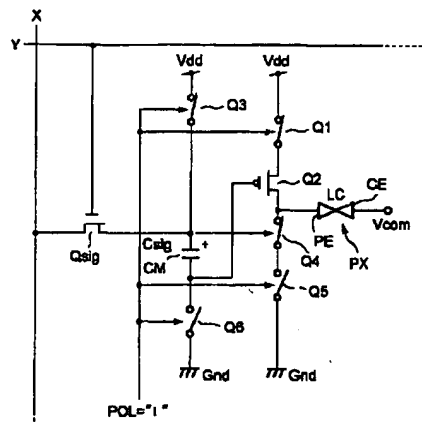
【図4】



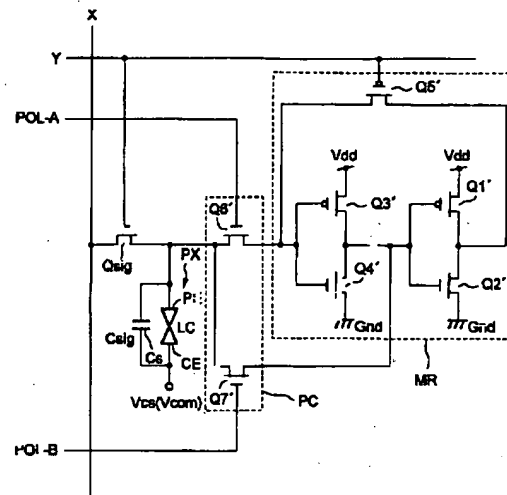
【図6】



【図5】



【図7】



フロントページの続き

(51)Int. Cl.⁷

G 0 9 G 3/20

識別記号

6 1 1

6 2 1

6 2 4

6 3 1

F I

G 0 9 G 3/20

(参考)

6 1 1 A

6 2 1 B

6 2 4 B

6 3 1 H

Fターム(参考) 2H092 JB42 JB44 KA04 NA26

2H093 NA31 NB07 NC40 ND39

5C006 AC28 AF44 AF45 AF51 AF69

BB16 BC03 BC06 BC12 BC20

BF11 EB05 FA47

5C080 AA10 BB05 DD26 FF11 JJ02

JJ03

5C094 AA22 AA45 BA03 BA43 CA19

DB04